

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 시본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 특허출원 2001년 제 74579 호
Application Number PATENT-2001-0074579

출원 년 월 일 : 2001년 11월 28일
Date of Application NOV 28, 2001

출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s) LG.PHILIPS LCD CO., LTD.

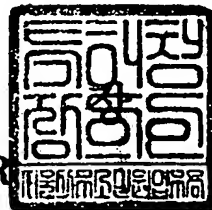
**CERTIFIED COPY OF
PRIORITY DOCUMENT**



2001 년 12 월 07 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0003
【제출일자】 2001.11.28
【국제특허분류】 G02F
【발명의 명칭】 액정표시장치 및 제조 방법
【발명의 영문명칭】 ILiquid crystal display device and method for manufacturing the same

【출원인】

【명칭】 엘지 .필립스 엘시디 주식회사
【출원인코드】 1-1998-101865-5

【대리인】

【성명】 김용인
【대리인코드】 9-1998-000022-1
【포괄위임등록번호】 1999-054732-1

【대리인】

【성명】 심창섭
【대리인코드】 9-1998-000279-9
【포괄위임등록번호】 1999-054731-4

【발명자】

【성명의 국문표기】 정훈
【성명의 영문표기】 JEONG,Hoon
【주민등록번호】 720825-1347619
【우편번호】 730-350
【주소】 경상북도 구미시 임수동 401-3번지 LG동락원 B동 507호

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인
 김용인 (인) 대리인
 심창섭 (인)

【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	21	면	21,000	원
---------	----	---	--------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	27	항	973,000	원
---------	----	---	---------	---

【합계】	1,023,000	원		
------	-----------	---	--	--

【첨부서류】	1. 요약서·명세서(도면)_1통			
--------	-------------------	--	--	--

【요약서】**【요약】**

본 발명은 라인 인입선들은 배선 길이 차이에 의한 화상 불량을 적층 구조 방식의 커패시터로 보상하기 위한 것으로, 구동 드라이브 IC로부터의 신호를 액정표시패널에 인가하기 위한 인입선부를 구비한 액정표시장치에 있어서, 기판과, 상기 인입선부의 기판위에 중앙 부분이 외곽 부분보다 더 넓은 면적을 갖도록 형성되는 도전층과, 상기 도전층을 포함한 기판 전면에 형성되는 절연막과, 상기 절연막위에 상기 도전층과 오버랩되도록 일 방향으로 배열되는 복수개의 라인 인입선들을 포함하여 구성된 것이다.

【대표도】

도 4

【색인어】

액정표시장치, 인입선 라인의 커패시터 보상

【명세서】

【발명의 명칭】

액정표시장치 및 제조 방법{Liquid crystal display device and method for manufacturing the same}

【도면의 간단한 설명】

도 1은 TAB 실장방식을 이용한 종래의 TFT-LCD 모듈의 개략적인 구조도

도 2는 종래의 데이터 드라이브 IC와 TFT-LCD의 데이터 라인이 연결되는 인입선부를 표시한 평면도

도 3은 종래 인입선부의 상세 구성도

도 4는 본 발명에 따른 액정표시장치의 레이 아웃도

도 5a 내지 5c는 본 발명 제 1 실시예에 따른 액정표시장치의 셀 어레이 부분의 박막트랜지스터 공정 단면도

도 6a 내지 6c는 도 4의 I-I' 선상의 본 발명 제 1 실시예에 따른 액정표시장치의 공정 단면도

도 7a 내지 7c는 본 발명 제 2 실시예에 따른 액정표시장치의 셀 어레이 부분의 박막트랜지스터 공정 단면도

도 8a 내지 8c는 도 4의 I-I' 선상의 본 발명 제 2 실시예에 따른 액정표시장치의 공정 단면도

도 9a 내지 9b는 본 발명 제 3 실시예에 따른 액정표시장치의 셀 어레이 부분의 박막트랜지스터 공정 단면도

도 10a 내지 10b는 도 4의 I-I' 선상의 본 발명 제 3 실시예에 따른 액정 표시장치의 공정 단면도

도 11a 내지 11b는 본 발명 제 4 실시예에 따른 액정표시장치의 셀 어레이 부분의 박막트랜지스터 공정 단면도

도 12a 내지 12b는 도 4의 I-I' 선상의 본 발명 제 4 실시예에 따른 액정 표시장치의 공정 단면도

도 13은 본 발명 제 5 실시예에 따른 액정표시장치의 레이 아웃도

도면의 주요 부분에 대한 부호의 설명

30 : 기판 31 : 버퍼층

32, 33 : 활성층 32a : 소오스 영역

32b : 드레인 영역 34 : 게이트 절연막

35 : 게이트 전극 35a : 게이트 금속 패턴

35b : 게이트 라인 인입선 35c : 보조 금속 패턴

36 : 층간 절연막 37 : 데이터 라인

37a : 소오스 전극 37b : 드레인 전극

37c : 데이터 라인 인입선 37d : 데이터 금속 패턴

37e : 보조 금속 패턴

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <24> 본 발명은 액정표시장치에 관한 것으로, 특히 게이트 라인 및 데이터 라인 인입선들은 배선 길이 차이에 의한 화상 불량을 적층 구조 방식의 커패시터로 보상한 액정표시장치 및 제조 방법에 관한 것이다.
- <25> 일반적으로 액정표시장치의 모듈은 구동 드라이브 IC의 실장 방식에 따라 COG(Chip On Glass) 실장 방식과 TAB 실장 방식으로 구분된다.
- <26> 상기 COG 실장 방식은 LCD 패널의 게이트 영역 및 데이터 영역에 직접 구동 드라이브 IC를 실장하여 LCD 패널에 전기적 신호를 전달하는 방식으로, 보통 이방성 도전 필름을 이용하여 구동드라이브 IC를 LCD 패널에 접착한다.
- <27> 상기 TAB 실장방식은 구동드라이브 IC가 탑재된 TCP(Tape Carrier Package)를 LCD 패널과 PCB에 접속시키는 작업을 의미한다. TCP와 LCD 패널과의 접속 공정은 글래스와 금속의 재질상의 특수성과 약 0.2mm 이하 피치(pitch)의 고정세에 따라 납 대신에 이방성 도전필름(ACF; Anisotropic Conduction Film)을 이용하며, TCP와 PCB의 접속 공정은 납을 이용하여 접속하고 있다. 그러나, 후자의 경우에 대해서도 향후 미세 피치의 추세에 따라 이방성 도전필름의 사용이 예상되고 있다.
- <28> 이하, 도면을 참조하여 종래 액정표시장치를 설명하면 다음과 같다.
- <29> 도 1은 TAB 실장방식을 이용한 종래의 TFT-LCD 모듈의 개략적인 구조이다.

<30> 도 1에 도시된 바와 같이, 액정표시장치는, 픽셀 영역을 정의하기 위해 복수개의 데이터 라인 및 데이터 라인이 서로 교차하여 배치되고 각 게이트 라인 및 데이터 라인이 교차되는 부분에 박막트랜지스터가 형성된 제 1 기판(11)과 칼라 필터층 및 공통전극이 형성된 제 2 기판(12) 사이에 액정(13)이 주입되고, 상기 제 1, 제 2 기판(11, 12) 외측에는 각각 편광판(14)이 부착되어 액정 패널이 형성된다. 그리고, 상기 제 1 기판(11)의 게이트 라인 및 데이터 라인에 신호를 인가하기 위하여 상기 제 1 기판(11)의 각 라인에 게이트 또는 데이터 드라이브 IC(17)가 탑재된 TCP(16)가 이방성 도전필름인 ACF(15)에 의해 연결된다. 여기서 미설명 부호는 PCB(18)이다.

<31> 상기 TCP의 구동드라이브 IC와 TFT-LCD 패널이 연결된 인입선 부분을 구체적으로 설명하면 다음과 같다.

<32> 도 2는 종래의 데이터 드라이브 IC와 TFT-LCD의 데이터 라인이 연결되는 인입선부를 표시한 것이고, 도 3은 종래 인입선부의 상세 구성도이다.

<33> 일반적으로 패널 내의 각 데이터 라인의 간격보다 데이터 드라이브 IC가 연결되는 TAB 패드들의 간격이 더 좁게 형성된다.

<34> 따라서, 상기 인입선부는 일정 간격을 갖고 일 방향으로 배열되어 상기 데이터 드라이브 IC와 연결되는 직선부(20)와, 상기 직선부(20)와 각 데이터 라인(22)을 연결하기 위한 굴곡부(21)로 구성된다.

【발명이 이루고자 하는 기술적 과제】

<35> 그러나, 이와 같이 종래의 액정표시장치에 있어서는, 각 데이터 라인의 간격보다 데이터 드라이브 IC가 연결되는 TAB 패드들의 간격이 더 좁게 형성되므로 드라이브 IC의 중심부와 외곽부 사이에 형성되는 인입선들 사이에는 배선 길이의 차이가 발생하게 된다.

<36> 이와 같이 인입선들의 배선 길이 차이로 인하여 각 인입선들의 저항 및 상기 인입선과 상부 기판에 형성된 공통 전극 사이에 형성되는 커패시턴스(정전 용량) 차이가 발생하게 되고, 이로 인하여 화질의 불균일이 발생하게 된다.

<37> 본 발명은 이와 같은 문제점을 해결하기 위하여 안출한 것으로, 중앙 부분의 정전 용량이 외곽 부분의 정전 용량보다 더 큰 값을 갖도록 라인 인입선 부분에 도전층을 형성하여 상기 인입선과 도전층 사이에 인입선의 배선 길이 차이로 인한 정전 용량의 차이를 보상할 수 있는 보상용 정전 용량을 형성하므로 화질의 불균일을 해소할 수 있는 액정표시장치 및 그 제조 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<38> 이와 같은 목적을 달성하기 위한 본 발명의 액정표시장치는, 구동 드라이브 IC로부터의 신호를 액정표시패널에 인가하기 위한 인입선부를 구비한 액정표시장치에 있어서, 기판과, 상기 인입선부의 기판위에 중앙 부분이 외곽 부분보다 더 넓은 면적을 갖도록 형성되는 도전층과, 상기 도전층을 포함한 기판 전면에 형성

되는 절연막과, 상기 절연막위에 상기 도전층과 오버랩되도록 일 방향으로 배열되는 복수개의 라인 인입선들을 포함하여 구성됨에 그 특징이 있다.

<39> 여기서, 상기 복수개의 라인 인입선들과 상기 도전층 사이에는 각각 커패시터가 형성되고, 외곽부에서 중앙 부분으로 갈수록 상기 각 라인 인입선과 상기 도전층 사이의 커패시턴스가 증가됨이 바람직하다.

<40> 상기 도전층에는 정전기 방지 전압이 인가됨이 바람직하다.

<41> 상기 도전층에는 공통 전압이 인가됨이 바람직하다.

<42> 상기 도전층은 불순물 도핑된 반도체층으로 형성됨이 바람직하다.

<43> 상기 도전층은 중앙 부분의 라인 인입선보다 외곽부의 라인 인입선과 오버랩되는 면적이 더 좁아지도록 삼각형 모양으로 형성됨이 바람직하다.

<44> 상기 절연막은 게이트 절연막과 층간 절연막의 적층된 2층 구조 또는 층간 절연막임이 바람직하다.

<45> 상기 각 라인 인입선 사이에 상기 각 라인 인입선과 전기적으로 연결되는 복수개의 보조 라인이 더 포함됨이 바람직하다.

<46> 상기 복수개의 보조 라인은 상기 라인 인입선과 동일한 물질로 형성됨이 바람직하다.

<47> 상기 라인 인입선이 데이터 라인 인입선임이 바람직하다.

<48> 상기 도전층은 게이트 라인과 동일 물질로 형성됨이 바람직하다.

<49> 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치는, 구동 드라이브 IC로부터의 신호를 액정표시패널에 인가하기 위한 인입선부를 구

비한 액정표시장치에 있어서, 기판과, 상기 기판위에 일 방향으로 배열되는 복수개의 라인 인입선들과, 상기 복수개의 라인 인입선을 포함한 기판 전면에 형성되는 절연막과, 상기 인입선부의 기판위에 중앙 라인 인입선 부분이 외곽 라인 인입선 부분보다 더 넓은 면적을 갖도록 형성되는 도전층을 포함하여 구성됨에 또 다른 특징이 있다.

<50> 또 한편, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치의 제조 방법은, 구동 드라이브 IC로부터의 신호를 액정표시패널에 인가하기 위한 데이터 라인 인입선부와 화소 영역을 정의하기 위해 복수개의 게이트 라인과 데이터 라인이 교차 배열되고 각 데이터 라인 및 데이터 라인이 교차되는 부분에 박막트랜지스터가 형성되는 셀 어레이부를 구비한 액정표시장치의 제조 방법에 있어서, 상기 셀어레이부의 각 박막트랜지스터 형성 영역에 섬 모양으로 제 1 활성층을 형성하고 상기 데이터 라인 인입선부에 중앙부분이 외곽부보다 더 넓은 면적을 갖도록 기판위에 제 2 활성층을 형성하는 단계와, 상기 제 1, 제 2 활성층을 포함한 전면에 게이트 절연막을 형성하는 단계와, 상기 제 1 활성층위에 게이트 전극이 위치되도록 일정 간격을 갖고 일 방향으로 복수개의 게이트 라인을 형성하는 단계와, 상기 게이트 전극을 마스크로 이용한 불순물 이온 주입으로 제 1 활성층에 소오스/드레인 영역을 형성하고 제 2 활성층을 도전층으로 형성하는 단계와, 상기 소오스/드레인 영역에 콘택 홀을 갖도록 전면에 층간 절연막을 형성하는 단계와, 상기 소오스/드레인 영역에 연결되고 외곽부에서 중앙 부분으로 갈수록 상기 제 2 활성층과의 커패시턴스가 증가하도록 상기 게이트 라인에 수직

한 방향으로 복수개의 데이터 라인 및 인입선을 형성하는 단계를 포함하여 이루어짐에 그 특징이 있다.

<51> 여기서, 상기 각 데이터 라인 인입선 사이에 상기 각 데이터 라인 인입선과 전기적으로 연결되도록 상기 데이터 라인 인입선과 동일물질로 복수개의 보조 라인을 더 형성함이 바람직하다.

<52> 한편, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치의 제조 방법은, 구동 드라이브 IC로부터의 신호를 액정표시패널에 인가하기 위한 데이터 라인 인입선부와 화소 영역을 정의하기 위해 복수개의 게이트 라인과 데이터 라인이 교차 배열되고 각 데이터 라인 및 데이터 라인이 교차되는 부분에 박막트랜지스터가 형성되는 셀 어레이부를 구비한 액정표시장치의 제조 방법에 있어서, 상기 박막트랜지스터 형성영역에 게이트 전극들을 구비한 복수개의 게이트 라인을 형성하고 상기 데이터 라인 인입선부에 중앙부분이 외곽부보다 더 넓은 면적을 갖도록 게이트 금속 패턴층을 형성하는 단계와, 상기 게이트 라인 및 게이트 금속 패턴층을 포함한 전면에 게이트 절연막을 형성하는 단계와, 각 박막트랜지스터 형성 영역에 섬 모양으로 활성층을 형성하는 단계와, 상기 활성층 양측 상에 소오스/드레인 전극이 위치되고 외곽부에서 중앙 부분으로 갈수록 상기 게이트 금속 패턴층과의 커패시턴스가 증가하도록 상기 게이트 라인에 수직인 방향으로 복수개의 데이터 라인 및 인입선을 형성하는 단계를 포함하여 이루어짐에 또 다른 특징이 있다.

<53> 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치의 제조 방법은, 구동 드라이브 IC로부터의 신호를 액정표시패널에 인가하기 위한

데이터 라인 인입선부와 화소 영역을 정의하기 위해 복수개의 게이트 라인과 데이터 라인이 교차 배열되고 각 데이터 라인 및 데이터 라인이 교차되는 부분에 박막트랜지스터가 형성되는 셀 어레이부를 구비한 액정표시장치의 제조 방법에 있어서, 상기 박막트랜지스터 형성영역에 활성층을 형성하는 단계와, 전면에 게이트 절연막을 형성하는 단계와, 상기 활성층 상측에 게이트 전극이 위치되도록 상기 게이트 절연막위에 복수개의 게이트 라인을 형성하고 상기 데이터 라인 인입선부에 중앙부분이 외곽부보다 더 넓은 면적을 갖도록 게이트 금속 패턴층을 형성하는 단계와, 상기 게이트 전극을 마스크로 이용하여 상기 활성층에 불순물 영역을 형성하고 상기 불순물 영역에 콘택 홀을 갖도록 상기 게이트 라인 및 게이트 금속 패턴층을 포함한 전면에 층간 절연막을 형성하는 단계와, 상기 콘택홀을 통해 상기 불순물 영역에 소오스/드레인 전극이 연결되고 외곽부에서 중앙 부분으로 갈수록 상기 게이트 금속 패턴층과의 커패시턴스가 증가하도록 상기 게이트 라인에 수직한 방향으로 복수개의 데이터 라인 및 인입선을 형성하는 단계를 포함하여 이루어짐에 또 다른 특징이 있다.

<54> 한편, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치의 제조 방법은, 구동 드라이브 IC로부터의 신호를 액정표시패널에 인가하기 위한 게이트 라인 인입선부와 화소 영역을 정의하기 위해 복수개의 게이트 라인과 데이터 라인이 교차 배열되고 각 데이터 라인 및 데이터 라인이 교차되는 부분에 박막트랜지스터가 형성되는 셀 어레이부를 구비한 액정표시장치의 제조 방법에 있어서, 상기 박막트랜지스터 형성영역에 활성층을 형성하는 단계와, 전면에 게이트 절연막을 형성하는 단계와, 상기 활성층 상측에 게이트 전극이 위치되도록

상기 게이트 절연막위에 복수개의 게이트 라인 및 게이트 라인 인입선을 형성하는 단계와, 상기 게이트 전극을 마스크로 이용하여 상기 활성층에 불순물 영역을 형성하고 상기 불순물 영역에 콘택홀을 갖도록 상기 게이트 라인 및 게이트 라인 인입선을 포함한 전면에 층간 절연막을 형성하는 단계와, 상기 콘택홀을 통해 상기 불순물 영역에 소오스/드레인 전극이 연결되도록 상기 게이트 라인에 수직인 방향으로 복수개의 데이터 라인을 형성하고 상기 게이트 라인 인입선부에 중앙부분이 외곽부보다 더 넓은 면적을 갖도록 데이터 금속 패턴층을 형성하는 단계를 포함하여 이루어짐에 또 다른 특징이 있다.

<55> 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치의 제조 방법은, 구동 드라이브 IC로부터의 신호를 액정표시패널에 인가하기 위한 게이트 라인 인입선부와 화소 영역을 정의하기 위해 복수개의 게이트 라인과 데이터 라인이 교차 배열되고 각 데이터 라인 및 데이터 라인이 교차되는 부분에 박막트랜지스터가 형성되는 셀 어레이부를 구비한 액정표시장치의 제조 방법에 있어서, 상기 박막트랜지스터 형성영역에 게이트 전극들을 구비한 복수개의 게이트 라인 및 게이트 라인 인입선들을 형성하는 단계와, 상기 게이트 라인 및 게이트 라인 인입선을 포함한 전면에 게이트 절연막을 형성하는 단계와, 각 박막트랜지스터 형성 영역에 섬 모양으로 활성층을 형성하는 단계와, 상기 활성층 양측 상에 소오스/드레인 전극이 위치되도록 상기 게이트 라인과 수직인 방향으로 복수개의 데이터 라인을 형성하고 상기 게이트 라인 인입선부에 중앙부분이 외곽부보다 더 넓은 면적을 갖도록 데이터 금속 패턴층을 형성하는 단계를 포함하여 이루어짐에 또 다른 특징이 있다.

- <56> 이하, 상기와 같은 특징들을 갖는 본 발명에 따른 액정표시장치 및 그 제조 방법의 실시예들을 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.
- <57> 도 4는 본 발명에 따른 액정표시장치의 레이 아웃도이다.
- <58> 본 발명은 인입선부(A)에 중앙 라인에 해당하는 부분이 외곽 라인에 해당하는 부분보다 더 넓은 면적을 갖도록 삼각형 모양의 도전층(B)을 형성하여 상기 도전층(B)과 각 인입선들 사이에 보상용 커패시터가 형성되도록 한 것이다.
- <59> 즉, 중앙 부분의 인입선 라인과 상기 도전층 사이의 보상용 커패시터가 외곽 부분의 인입선 라인과 상기 반도체층 사이의 보상용 커패시터보다 더 큰 용량을 갖도록 한다. 그리고, 상기 도전층(B)은 정전기 방지용 전압 라인 또는 공통 전압 라인(C)에 연결된다.
- <60> [제 1 실시예]
- <61> 이와 같은 구성을 갖는 본 발명 제 1 실시예의 액정표시장치의 구조 및 제조 방법을 설명하면 다음과 같다.
- <62> 도 5a 내지 5c는 본 발명 제 1 실시예에 따른 액정표시장치의 셀 어레이 부분의 박막트랜지스터 공정 단면도이고, 도 6a 내지 6c는 도 4의 I-I' 선상의 본 발명 제 1 실시예에 따른 액정표시장치의 공정 단면도이다.
- <63> 본 발명 제 1 실시예는 액정표시장치의 셀 어레이의 박막트랜지스터가 탑 게이트(top gate)형 폴리 실리콘 트랜지스터로 형성될 경우 데이터 라인 인입선 부분에 보상용 커패시터를 형성한 것으로, 상기 도전층을 불순물 도핑된 반도체 층으로 형성한 것이다.

- <64> 도 5a 및 도 6a와 같이, 유리 기판(30) 전면에 버퍼층(31)과 폴리 실리콘 등의 반도체층을 증착하고 선택적으로 제거하여 셀 어레이부의 박막트랜지스터가 형성될 영역들과 상기 인입선 부분에 각각 제 1 반도체층(32)과 제 2 반도체층(33)을 형성한다. 그리고, 전면에 게이트 절연막(34)을 형성한다.
- <65> 도 5b 및 도 6b와 같이, 전면에 금속층을 증착하고 선택적으로 제거하여 상기 제 1 반도체층(32) 상측의 게이트 절연막(34)위에 게이트 전극(35)을 형성하고, 상기 게이트 전극(35) 양측의 제 1 반도체층과 제 2 반도체층 전면에 불순물 이온을 주입하여 불순물 영역을 형성한다. 이 때, 상기 게이트 전극(35) 양측의 제 1 반도체층(32)의 불순물 영역은 소오스/드레인 영역(32a, 32b)이 되고, 제 2 반도체층(33)은 도전층으로 변환된다.
- <66> 도 5c 및 도 6c와 같이, 전면에 층간 절연막(36)을 형성하고, 상기 제 1 반도체층(32)의 소오스/드레인 영역(32a, 32b)에 콘택 홀이 형성되도록 상기 게이트 절연막(33)과 층간 절연막(36)을 선택적으로 제거한다.
- <67> 그리고 전면에 금속층을 증착하고 선택적으로 제거하여 데이터 라인 및 소오스/드레인 전극 데이터 라인 인입선을 형성한다. 즉, 데이터 라인(37)에서 소오스 전극(37a)이 돌출되어 소오스 영역(32a)에 전기적으로 연결되고, 드레인 전극(37b)은 드레인 영역(32b)에 연결되며, 데이터 라인 인입선(37c)들은 데이터 라인에서 연장되도록 형성된다.
- <68> 계속해서, 상기 소오스/드레인 전극(37a, 37b)을 포함한 데이터 라인(37) 및 데이터 라인 인입선(37c)을 포함한 기판 전면에 보호막(38)을 형성하고, 상기

드레인 전극(37b)이 노출되도록 콘택 홀을 형성한 다음, 상기 화소 영역에 화소 전극(39)을 형성한다.

<69> 따라서, 상기 도 6c에서 알 수 있는 바와 같이, 별도의 마스크가 필요하지 않으면서 상기 데이터 라인 인입선들과 반도체층(33) 사이에 보상용 커패시터들이 형성되고, 도 4에 나타낸 바와 같이 각 인입선들과 반도체층 사이의 보상용 커패시터는 중앙 라인 부분에서의 커패시터 용량이 외곽 라인 부분에서의 커패시터 용량보다 더 큰 값을 갖도록 한다.

<70> [제 2 실시예]

<71> 한편, 본 발명 제 2 실시예에 따른 액정표시장치는 데이터 라인 인입선부에 중앙 라인에 해당하는 부분이 외곽 라인에 해당하는 부분보다 더 넓은 면적을 갖도록 삼각형 모양의 금속 패턴을 형성하여 상기 금속 패턴과 각 인입선들 사이에 보상용 커패시터가 형성되도록 할 수 있다. 여기서, 본 발명 제 1 실시예에서는 상기 도전층을 불순물 도핑된 반도체층으로 형성한 반면, 본 발명 제 2 실시예에서는 상기 도전층을 상기 게이트 라인 형성용 금속으로 형성한 것이다.

<72> 이와 같은 구성을 갖는 본 발명 제 2 실시예의 액정표시장치 및 그 제조 방법을 설명하면 다음과 같다.

<73> 도 7a 내지 7c는 본 발명 제 2 실시예에 따른 액정표시장치의 셀 어레이 부분의 박막트랜지스터 공정 단면도이고, 도 8a 내지 8c는 도 4의 I-I' 선상의 본 발명 제 2 실시예에 따른 액정표시장치의 공정 단면도이다.

- <74> 본 발명 제 2 실시예는 액정표시장치의 셀 어레이의 박막트랜지스터가 탑 게이트(top gate)형 폴리 실리콘 트랜지스터로 형성될 경우, 반도체층 대신에 게이트 금속층으로 보상용 커패시터를 형성한 것이다.
- <75> 도 7a 및 도 8a와 같이, 유리 기판(30) 전면에서 버퍼층(31)과 폴리 실리콘 등의 반도체층을 증착하고 선택적으로 제거하여 셀 어레이부의 박막트랜지스터가 형성될 영역에 반도체층(32)을 형성한다. 그리고, 전면에서 게이트 절연막(34)을 형성한다.
- <76> 도 7b 및 도 8b와 같이, 전면에서 금속층을 증착하고 선택적으로 제거하여 상기 제 1 반도체층(32) 상층의 게이트 절연막(34)위에 게이트 전극(35)을 형성함과 동시에 상기 인입선 부분에 게이트 금속 패턴층(35a)을 형성한다. 그리고, 상기 게이트 전극(35) 양측의 반도체층(32)에 불순물 이온을 주입하여 불순물 영역을 형성한다. 이 때, 상기 게이트 전극(35) 양측의 상기 반도체층(32)의 불순물 영역은 소오스/드레인 영역(32a, 32b)이 된다.
- <77> 도 7c 및 도 8c와 같이, 전면에서 층간 절연막(36)을 형성하고, 상기 반도체층(32)의 소오스/드레인 영역(32a, 32b)에 콘택 홀이 형성되도록 상기 게이트 절연막(33)과 층간 절연막(36)을 선택적으로 제거한다.
- <78> 그리고 전면에서 금속층을 증착하고 선택적으로 제거하여 데이터 라인 및 소오스/드레인 전극 데이터 라인 인입선을 형성한다. 즉, 데이터 라인(37)에서 소오스 전극(37a)이 돌출되어 소오스 영역(32a)에 전기적으로 연결되고, 드레인 전극(37b)은 드레인 영역(32b)에 연결되며, 데이터 라인 인입선(37c)들은 데이터 라인에서 연장되도록 형성된다.

<79> 계속해서, 상기 소오스/드레인 전극(37a, 37b)을 포함한 데이터 라인(37) 및 데이터 라인 인입선(37c)을 포함한 기판 전면에 보호막(38)을 형성하고, 상기 드레인 전극(37b)이 노출되도록 콘택 홀을 형성한 다음, 상기 화소 영역에 화소 전극(39)을 형성한다.

<80> 따라서, 상기 도 8c에서 알 수 있는 바와 같이, 별도의 마스크가 필요하지 않으면서 상기 데이터 라인 인입선들과 게이트 금속 패턴층(35a) 사이에 보상용 커패시터들이 형성되고, 도 4에 나타낸 바와 같이 각 인입선들과 금속 패턴층 사이의 보상용 커패시터는 중앙 라인 부분에서의 커패시터 용량이 외곽 라인 부분에서의 커패시터 용량보다 더 큰 값을 갖도록 한다.

<81> [제 3 실시예]

<82> 한편, 본 발명 제 3 실시예에 따른 액정표시장치는 셀 어레이 부분의 박막 트랜지스터가 바텀 게이트(bottom gate)형 비정질 실리콘 박막트랜지스터로 구성될 경우, 데이터 라인 인입선부에 중앙 라인에 해당하는 부분이 외곽 라인에 해당하는 부분보다 더 넓은 면적을 갖도록 삼각형 모양의 금속 패턴을 형성하여 상기 금속 패턴과 각 인입선들 사이에 보상용 커패시터가 형성되도록 할 수 있다.

<83> 이와 같은 구성을 갖는 본 발명 제 3 실시예의 액정표시장치 및 그 제조 방법을 설명하면 다음과 같다.

<84> 도 9a 내지 9b는 본 발명 제 3 실시예에 따른 액정표시장치의 셀 어레이 부분의 박막트랜지스터 공정 단면도이고, 도 10a 내지 10b는 도 4의 I-I' 선상의 본 발명 제 3 실시예에 따른 액정표시장치의 공정 단면도이다.

- <85> 본 발명 제 3 실시예는 액정표시장치의 셀 어레이의 박막트랜지스터가 바텀 게이트(bottom gate)형 비정질 실리콘 트랜지스터로 형성될 경우, 도전층을 게이트 금속층으로하여 보상용 커패시터를 형성한 것이다.
- <86> 도 9a 및 도 10a와 같이, 유리 기판(30) 전면에 금속층을 증착하고 선택적으로 제거하여 셀 어레이부에 게이트 전극(35)을 형성하고 인입선 부분에 게이트 금속 패턴(35a)을 형성한다. 그리고 전면에 게이트 절연막(34)을 형성한 다음, 상기 게이트 전극(35) 상측의 게이트 절연막(34)위에 반도체층(32)을 형성한다.
- <87> 도 9b 및 도 10b와 같이, 전면에 금속층을 증착하고 선택적을 제거하여 상기 반도체층(32) 양측상에 데이터 라인(37) 및 소오스/드레인 전극(37a, 37b) 데이터 라인 인입선(37c)을 형성한다. 즉, 데이터 라인(37)에서 소오스 전극(37a)이 돌출되고 드레인 전극(37b)은 상기 소오스 전극(37a)에 대향되는 부분에 형성되며, 데이터 라인 인입선(37c)들은 데이터 라인에서 연장되도록 형성된다.
- <88> 계속해서, 상기 소오스/드레인 전극(37a, 37b)을 포함한 데이터 라인(37) 및 데이터 라인 인입선(37c)을 포함한 기판 전면에 보호막(38)을 형성하고, 상기 드레인 전극(37b)이 노출되도록 콘택 홀을 형성한 다음, 상기 화소 영역에 화소 전극(39)을 형성한다.
- <89> 따라서, 상기 도 10b에서 알 수 있는 바와 같이, 별도의 마스크가 필요하지 않으면서 상기 데이터 라인 인입선들과 게이트 금속 패턴층(35a) 사이에 보상용 커패시터들이 형성되고, 도 4에 나타난 바와 같이 각 인입선들과 금속 패턴층 사이의 보상용 커패시터는 중앙 라인 부분에서의 커패시터 용량이 외곽 라인 부분에서의 커패시터 용량보다 더 큰 값을 갖도록 한다.

<90> [제 4 실시예]

<91> 본 발명 제 4 실시예의 액정표시장치는, 게이트 라인 인입선 부분에 상술한 바와 같이, 중앙 라인에 해당하는 부분이 외곽 라인에 해당하는 부분보다 더 넓은 면적을 갖도록 삼각형 모양의 도전층을 형성하여 상기 도전층과 각 인입선들 사이에 보상용 커패시터가 형성되도록 할 수 있다. 여기서, 본 발명 제 4 실시예에서는 상기 도전층을 상기 데이터 라인 형성용 금속으로 형성한 것이다.

<92> 이와 같은 구성을 갖는 본 발명 제 4 실시예의 액정표시장치 및 그 제조 방법을 설명하면 다음과 같다.

<93> 도 11a 내지 11b는 본 발명 제 4 실시예에 따른 액정표시장치의 셀 어레이 부분의 박막트랜지스터 공정 단면도이고, 도 12a 내지 12b는 도 4의 I-I' 선상의 본 발명 제 4 실시예에 따른 액정표시장치의 공정 단면도이다.

<94> 본 발명 제 4 실시예는 액정표시장치의 셀 어레이의 박막트랜지스터가 탑 게이트(top gate)형 또는 바텀 게이트(bottom gate)형 박막트랜지스터로 형성될 경우, 데이터 라인 금속층으로 보상용 커패시터를 형성한 것이다. 여기서는 바텀 게이트형 박막트랜지스터가 형성될 경우만 설명하고 탑 게이트 형 박막트랜지스터가 형성될 경우는 본 발명 제 4 실시예와 본 발명 제 2 또는 3 실시예의 조합에 의해 충분히 유추 가능하므로 생략한다.

<95> 도 11a 및 도 12a와 같이, 유리 기판(30) 전면에 금속층을 증착하고 선택적으로 제거하여 셀 어레이부에 게이트 전극(35)을 형성하고 인입선 부분에 게이트 라인 인입선(35b)들을 형성한다. 그리고 전면에 게이트 절연막(34)을 형성한 다

음, 상기 게이트 전극(35) 상측의 게이트 절연막(34)위에 반도체층(32)을 형성한다.

<96> 도 11b 및 도 12b와 같이, 전면에 금속층을 증착하고 선택적을 제거하여 상기 반도체층(32) 양측상에 데이터 라인(37) 및 소오스/드레인 전극(37a, 37b)을 형성하고 상기 인입선 부분에 데이터 금속 패턴(37d)을 형성한다. 즉, 데이터 라인(37)에서 소오스 전극(37a)이 돌출되고 드레인 전극(37b)은 상기 소오스 전극(37a)에 대향되는 부분에 형성되며, 상기 데이터 금속 패턴(37d)은 게이트 라인 인입선들과 오버랩되도록 형성한다.

<97> 계속해서, 상기 소오스/드레인 전극(37a, 37b)을 포함한 데이터 라인(37) 및 데이터 라인 인입선(37c)을 포함한 기판 전면에 보호막(38)을 형성하고, 상기 드레인 전극(37b)이 노출되도록 콘택 홀을 형성한 다음, 상기 화소 영역에 화소 전극(39)을 형성한다.

<98> 따라서, 상기 도 12b에서 알 수 있는 바와 같이, 별도의 마스크가 필요하지 않으면서 상기 게이트 라인 인입선(35b)들과 금속 패턴층(37d) 사이에 보상용 커패시터들이 형성되고, 도 4에 나타낸 바와 같이 각 인입선들과 금속 패턴층 사이의 보상용 커패시터는 중앙 라인 부분에서의 커패시터 용량이 외곽 라인 부분에서의 커패시터 용량보다 더 큰 값을 갖도록 한다.

<99> [제 5 실시예]

<100> 본 발명 제 5 실시예는 상기 인입선들(게이트 라인 또는 데이터 라인 인입선) 사이에 별도의 금속 패턴을 더 형성한 것이다.

- <101> 도 4에서, 상기 각 인입선들의 폭은 한계가 있기 때문에 상기 각 인입선들과 동일한 물질로 각 인입선들에 전기적으로 연결되도록 상기 각 인입선들 사이에 보조 금속 패턴을 형성하면 커패시턴스를 보다 확실하게 보상할 수 있다.
- <102> 도 13은 본 발명 제 5 실시예에 따른 액정표시장치의 레이아웃도이다.
- <103> 본 발명 제 5 실시예는 게이트 라인 또는 데이터 라인 인입선(35b or 37c)들 사이에 상기 인입선(35b or 37c)과 동일 물질의 보조 금속 패턴(보조 라인)(35c or 37e)을 형성하고 각 보조 금속 패턴(35c or 37e)은 인접한 인입선(35b or 37c)에 전기적으로 연결되며 동일한 면적으로 형성한다. 그리고, 인입선부(A)의 중앙 라인에 해당하는 부분이 외곽 라인에 해당하는 부분보다 더 넓은 면적을 갖도록 삼각형 모양의 도전층(B)을 형성하여 상기 도전층(B)과 각 인입선 및 보조 금속 패턴(35c or 37e) 사이에 보상용 커패시터가 형성되도록 한 것이다. 여기서, 상기 도전층은 상기 제 1 내지 제 4 실시예에서 설명한 바와 같이 형성된다.
- <104> 즉, 중앙 부분의 인입선 라인 및 보조 금속 패턴과 상기 도전층 사이의 보상용 커패시터가 외곽 부분의 인입선 라인 및 보조 금속 패턴과 상기 도전층 사이의 보상용 커패시터보다 더 큰 용량을 갖도록 한다.
- <105> 그리고, 각 실시예에서 상기 도전층에는 정전기 방지 전압이 인가되거나 공통 전압이 인가되도록 한다.

【발명의 효과】

- <106> 이상에서 설명한 바와 같은 본 발명의 액정표시장치에 있어서는 다음과 같은 효과가 있다.
- <107> 첫째, 종래에는 각 인입선의 길이 차이에 따른 정전 용량의 차이에 의해 화면 불균일의 문제가 발생하였으나, 본 발명은 각 인입선의 길이 차이에 따른 정전 용량의 차이를 인입선 부분에 별도의 도전층을 형성하여 정전 용량 차이를 보상하므로 화면 불균일 문제를 해결할 수 있다.
- <108> 둘째, 상기 보상용 커패시터를 형성하기 위한 인입선 라인에 대응되는 도전층을 박막트랜지스터의 활성층, 게이트 전극 물질 또는 데이터 전극 물질로 형성하므로 마스크를 추가하지 않고 형성할 수 있다.
- <109> 셋째, 상기 보상용 커패시터를 각 인입선과 도전층 사이에 게이트 절연막 또는 층간 절연막을 매개하여 형성하므로 보다 큰 보상용 정전 용량을 얻을 수 있다.

【특허청구범위】**【청구항 1】**

구동 드라이브 IC로부터의 신호를 액정표시패널에 인가하기 위한 인입선부를 구비한 액정표시장치에 있어서,

기판 ;

상기 인입선부의 기판위에 중앙 라인 부분이 외곽 라인 부분보다 더 넓은 면적을 갖도록 형성되는 도전층과,

상기 도전층을 포함한 기판 전면에 형성되는 절연막과,

상기 절연막위에 상기 도전층과 오버랩되도록 일 방향으로 배열되는 복수개의 라인 인입선들을 포함하여 구성됨을 특징으로 하는 액정표시 장치.

【청구항 2】

제 1 항에 있어서,

상기 복수개의 라인 인입선들과 상기 도전층 사이에는 각각 커패시터가 형성되고, 외곽부에서 중앙 부분으로 갈수록 상기 각 라인 인입선과 상기 도전층 사이의 커패시턴스가 증가됨을 특징으로 하는 액정표시장치.

【청구항 3】

제 1 항에 있어서,

상기 도전층에는 정전기 방지 전압이 인가됨을 특징으로 하는 액정표시장치

【청구항 4】

제 1 항에 있어서,

상기 도전층에는 공통 전압이 인가됨을 특징으로 하는 액정표시장치

【청구항 5】

제 1 항에 있어서,

상기 도전층은 불순물 도핑된 반도체층으로 형성됨을 특징으로 하는 액정표시장치.

【청구항 6】

제 1 항에 있어서,

상기 도전층은 중앙 부분의 라인 인입선보다 외곽부의 라인 인입선과 오버랩되는 면적이 더 좁아지도록 삼각형 모양으로 형성됨을 특징으로 하는 액정표시장치.

【청구항 7】

제 1 항에 있어서,

상기 절연막은 게이트 절연막과 층간 절연막의 적층된 2층구조임을 특징으로 하는 액정표시장치.

【청구항 8】

제 1 항에 있어서,

상기 각 라인 인입선 사이에 상기 각 라인 인입선과 전기적으로 연결되는 복수개의 보조 라인을 더 포함함을 특징으로 하는 액정표시장치.

【청구항 9】

제 8 항에 있어서,

상기 복수개의 보조 라인은 상기 라인 인입선과 동일한 물질로 형성됨을 특징으로 하는 액정표시장치.

【청구항 10】

제 8 항에 있어서,

상기 복수개의 보조 라인은 동일한 크기로 형성됨을 특징으로 하는 액정표시장치.

【청구항 11】

제 1 항에 있어서,

상기 라인 인입선이 데이터 라인 인입선임을 특징으로 하는 액정표시장치.

【청구항 12】

제 1 항에 있어서,

상기 도전층은 게이트 라인과 동일 물질로 형성됨을 특징으로 하는 액정표시장치.

【청구항 13】

구동 드라이브 IC로부터의 신호를 액정표시패널에 인가하기 위한 인입선부를 구비한 액정표시장치에 있어서,

기판 ;

상기 기관위에 일 방향으로 배열되는 복수개의 라인 인입선들;

상기 복수개의 라인 인입선을 포함한 기관 전면에 형성되는 절연막; 그리고

상기 인입선부의 기관위에 중앙 라인 인입선 부분이 외곽 라인 인입선 부분보다 더 넓은 면적을 갖도록 형성되는 도전층을 포함함을 특징으로 하는 액정표시장치.

【청구항 14】

제 13 항에 있어서,

상기 도전층에는 정전기 방지 전압이 인가됨을 특징으로 하는 액정표시장치.

【청구항 15】

제 13 항에 있어서,

상기 도전층에는 공통 전압이 인가됨을 특징으로 하는 액정표시장치.

【청구항 16】

제 13 항에 있어서,

상기 라인 인입선은 게이트 라인 인입선이고, 상기 도전층은 데이터 라인과 동일 물질임을 특징으로 하는 액정표시장치.

【청구항 17】

제 13 항에 있어서,

상기 각 라인 인입선 사이에 상기 각 라인 인입선과 전기적으로 연결되는 복수개의 보조 라인을 더 포함함을 특징으로 하는 액정표시장치.

【청구항 18】

구동 드라이브 IC로부터의 신호를 액정표시패널에 인가하기 위한 데이터 라인 인입선부와 화소 영역을 정의하기 위해 복수개의 게이트 라인과 데이터 라인이 교차 배열되고 각 데이터 라인 및 데이터 라인이 교차되는 부분에 박막트랜지스터가 형성되는 셀 어레이부를 구비한 액정표시장치의 제조 방법에 있어서,

상기 셀어레이부의 각 박막트랜지스터 형성 영역에 섬 모양으로 제 1 활성층을 형성하고 상기 데이터 라인 인입선부에 중앙부분이 외곽부보다 더 넓은 면적을 갖도록 기판위에 제 2 활성층을 형성하는 단계;

상기 제 1, 제 2 활성층을 포함한 전면에 게이트 절연막을 형성하는 단계;

상기 제 1 활성층위에 게이트 전극이 위치되도록 일정 간격을 갖고 일 방향으로 복수개의 게이트 라인을 형성하는 단계;

상기 게이트 전극을 마스크로 이용한 불순물 이온 주입으로 제 1 활성층에 소오스/드레인 영역을 형성하고 제 2 활성층을 도전층으로 형성하는 단계;

상기 소오스/드레인 영역에 콘택 홀을 갖도록 전면에 층간 절연막을 형성하는 단계;

상기 소오스/드레인 영역에 연결되고 외곽부에서 중앙 부분으로 갈수록 상기 제 2 활성층과의 커패시턴스가 증가하도록 상기 게이트 라인에 수직인 방향으로 복수개의 데이터 라인 및 인입선을 형성하는 단계를 포함하여 이루어짐을 특징으로 하는 액정표시장치의 제조 방법.

【청구항 19】

제 18 항에 있어서,

상기 각 데이터 라인 인입선 사이에 상기 각 데이터 라인 인입선과 전기적으로 연결되도록 상기 데이터 라인 인입선과 동일물질로 복수개의 보조 라인을 더 형성함을 특징으로 하는 액정표시장치의 제조 방법.

【청구항 20】

구동 드라이브 IC로부터의 신호를 액정표시패널에 인가하기 위한 데이터 라인 인입선부와 화소 영역을 정의하기 위해 복수개의 게이트 라인과 데이터 라인이 교차 배열되고 각 데이터 라인 및 데이터 라인이 교차되는 부분에 박막트랜지스터가 형성되는 셀 어레이부를 구비한 액정표시장치의 제조 방법에 있어서,

상기 박막트랜지스터 형성영역에 게이트 전극들을 구비한 복수개의 게이트 라인을 형성하고 상기 데이터 라인 인입선부에 중앙부분이 외곽부보다 더 넓은 면적을 갖도록 게이트 금속 패턴층을 형성하는 단계;

상기 게이트 라인 및 게이트 금속 패턴층을 포함한 전면에 게이트 절연막을 형성하는 단계;

각 박막트랜지스터 형성 영역에 섬 모양으로 활성층을 형성하는 단계;

상기 활성층 양측 상에 소오스/드레인 전극이 위치되고 외곽부에서 중앙 부분으로 갈수록 상기 게이트 금속 패턴층과의 커패시턴스가 증가하도록 상기 게이트 라인에 수직인 방향으로 복수개의 데이터 라인 및 인입선을 형성하는 단계를 포함하여 이루어짐을 특징으로 하는 액정표시장치의 제조 방법.

【청구항 21】

제 20 항에 있어서,

상기 각 데이터 라인 인입선 사이에 상기 각 데이터 라인 인입선과 전기적으로 연결되도록 상기 데이터 라인 인입선과 동일물질로 복수개의 보조 라인을 더 형성함을 특징으로 하는 액정표시장치의 제조 방법.

【청구항 22】

구동 드라이브 IC로부터의 신호를 액정표시패널에 인가하기 위한 데이터 라인 인입선부와 화소 영역을 정의하기 위해 복수개의 게이트 라인과 데이터 라인이 교차 배열되고 각 데이터 라인 및 데이터 라인이 교차되는 부분에 박막트랜지스터가 형성되는 셀 어레이부를 구비한 액정표시장치의 제조 방법에 있어서,

상기 박막트랜지스터 형성영역에 활성층을 형성하는 단계;

전면에 게이트 절연막을 형성하는 단계;

상기 활성층 상측에 게이트 전극이 위치되도록 상기 게이트 절연막위에 복수개의 게이트 라인을 형성하고 상기 데이터 라인 인입선부에 중앙부분이 외곽부보다 더 넓은 면적을 갖도록 게이트 금속 패턴층을 형성하는 단계;

상기 게이트 전극을 마스크로 이용하여 상기 활성층에 불순물 영역을 형성하고 상기 불순물 영역에 콘택 홀을 갖도록 상기 게이트 라인 및 게이트 금속 패턴층을 포함한 전면에 층간 절연막을 형성하는 단계;

상기 콘택홀을 통해 상기 불순물 영역에 소오스/드레인 전극이 연결되고 외곽부에서 중앙 부분으로 갈수록 상기 게이트 금속 패턴층과의 커패시턴스가 증가

하도록 상기 게이트 라인에 수직한 방향으로 복수개의 데이터 라인 및 인입선을 형성하는 단계를 포함하여 이루어짐을 특징으로 하는 액정표시장치의 제조 방법.

【청구항 23】

제 22 항에 있어서,

상기 각 데이터 라인 인입선 사이에 상기 각 데이터 라인 인입선과 전기적으로 연결되도록 상기 데이터 라인 인입선과 동일물질로 복수개의 보조 라인을 더 형성함을 특징으로 하는 액정표시장치의 제조 방법.

【청구항 24】

구동 드라이브 IC로부터의 신호를 액정표시패널에 인가하기 위한 게이트 라인 인입선부와 화소 영역을 정의하기 위해 복수개의 게이트 라인과 데이터 라인이 교차 배열되고 각 데이터 라인 및 데이터 라인이 교차되는 부분에 박막트랜지스터가 형성되는 셀 어레이부를 구비한 액정표시장치의 제조 방법에 있어서,

상기 박막트랜지스터 형성영역에 활성층을 형성하는 단계;

전면에 게이트 절연막을 형성하는 단계;

상기 활성층 상측에 게이트 전극이 위치되도록 상기 게이트 절연막위에 복수개의 게이트 라인 및 게이트 라인 인입선을 형성하는 단계;

상기 게이트 전극을 마스크로 이용하여 상기 활성층에 불순물 영역을 형성하고 상기 불순물 영역에 콘택 홀을 갖도록 상기 게이트 라인 및 게이트 라인 인입선을 포함한 전면에 층간 절연막을 형성하는 단계;

상기 콘택홀을 통해 상기 불순물 영역에 소오스/드레인 전극이 연결되도록 상기 게이트 라인에 수직한 방향으로 복수개의 데이터 라인을 형성하고 상기 게이트 라인 인입선부에 중앙부분이 외곽부보다 더 넓은 면적을 갖도록 데이터 금속 패턴층을 형성하는 단계를 포함하여 이루어짐을 특징으로 하는 액정표시장치의 제조 방법.

【청구항 25】

제 24 항에 있어서,

상기 각 게이트 라인 인입선 사이에 상기 각 게이트 라인 인입선과 전기적으로 연결되도록 상기 게이트 라인 인입선과 동일물질로 복수개의 보조 라인을 더 형성함을 특징으로 하는 액정표시장치의 제조 방법.

【청구항 26】

구동 드라이브 IC로부터의 신호를 액정표시패널에 인가하기 위한 게이트 라인 인입선부와 화소 영역을 정의하기 위해 복수개의 게이트 라인과 데이터 라인이 교차 배열되고 각 데이터 라인 및 데이터 라인이 교차되는 부분에 박막트랜지스터가 형성되는 셀 어레이부를 구비한 액정표시장치의 제조 방법에 있어서,

상기 박막트랜지스터 형성영역에 게이트 전극들을 구비한 복수개의 게이트 라인 및 게이트 라인 인입선들을 형성하는 단계;

상기 게이트 라인 및 게이트 라인 인입선을 포함한 전면에 게이트 절연막을 형성하는 단계;

각 박막트랜지스터 형성 영역에 섬 모양으로 활성층을 형성하는 단계;

상기 활성층 양측 상에 소오스/드레인 전극이 위치되도록 상기 게이트 라인
과 수직한 방향으로 복수개의 데이터 라인을 형성하고 상기 게이트 라인 인입선
부에 중앙부분이 외곽부보다 더 넓은 면적을 갖도록 데이터 금속 패턴층을 형성
하는 단계를 포함하여 이루어짐을 특징으로 하는 액정표시장치의 제조 방법.

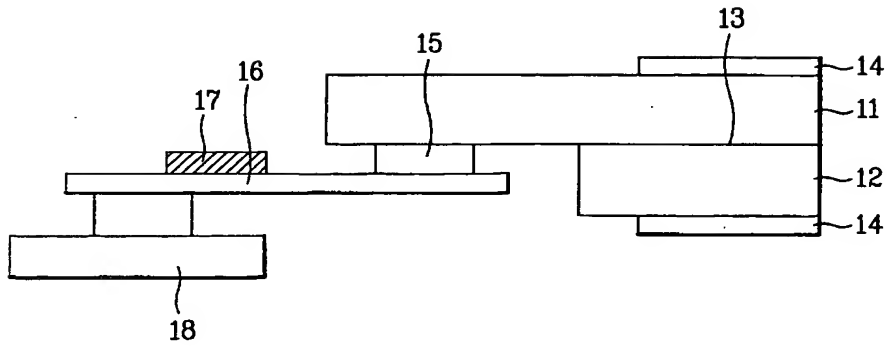
【청구항 27】

제 26 항에 있어서,

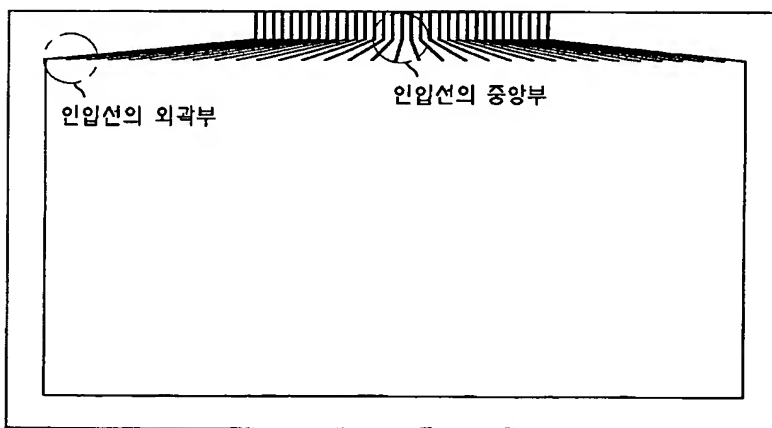
상기 각 게이트 라인 인입선 사이에 상기 각 게이트 라인 인입선과 전기적
으로 연결되도록 상기 게이트 라인 인입선과 동일물질로 복수개의 보조 라인을
더 형성함을 특징으로 하는 액정표시장치의 제조 방법.

【도면】

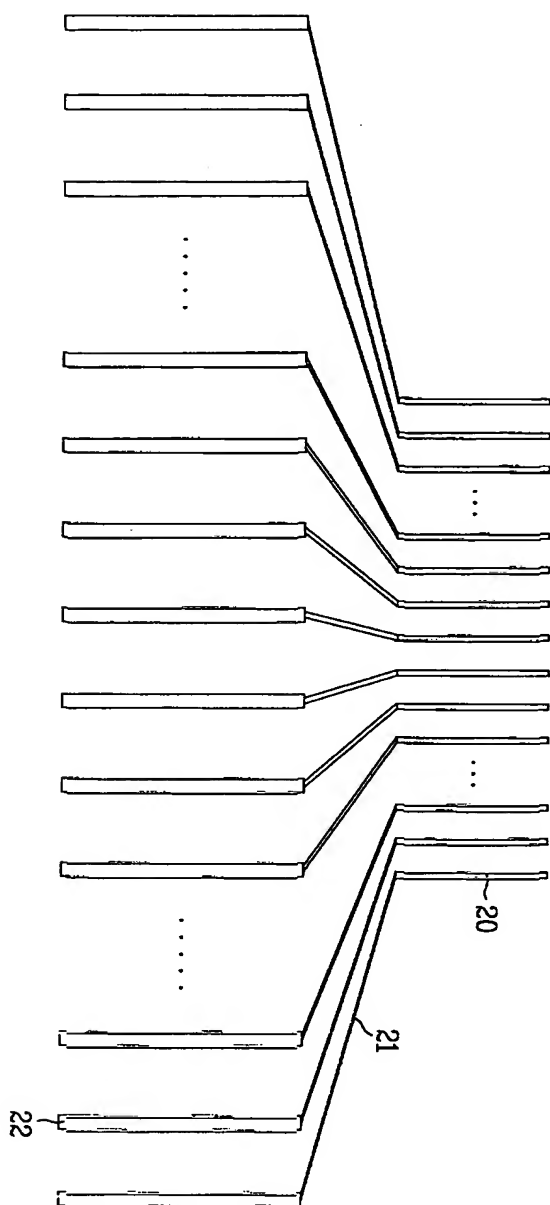
【도 1】



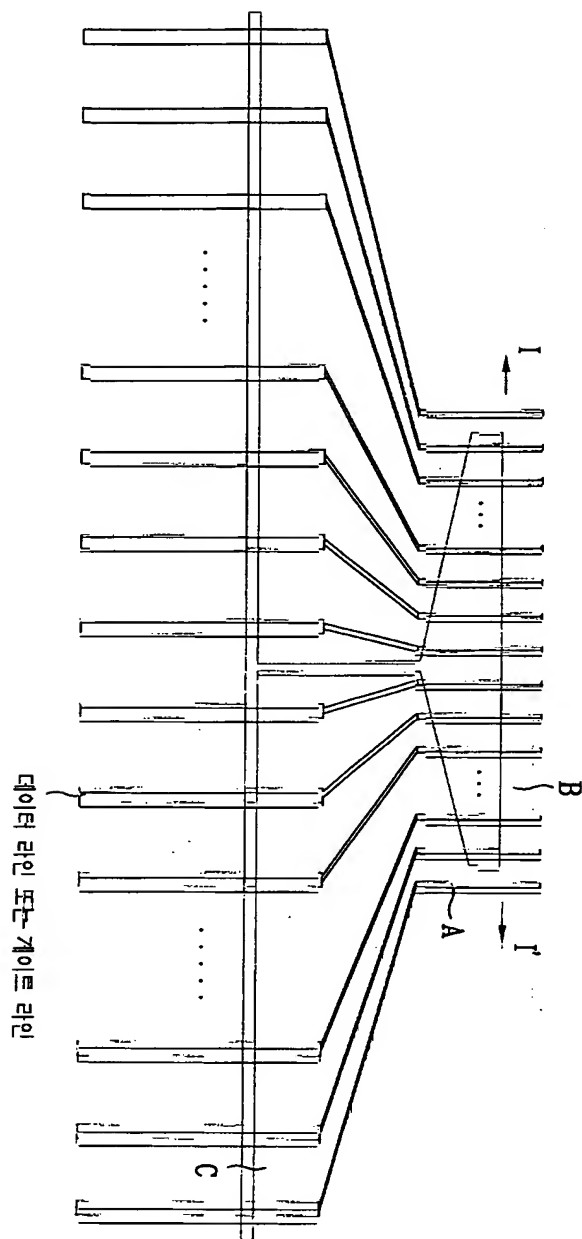
【도 2】



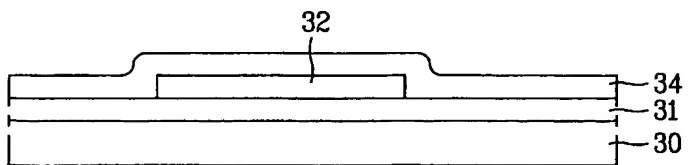
【도 3】



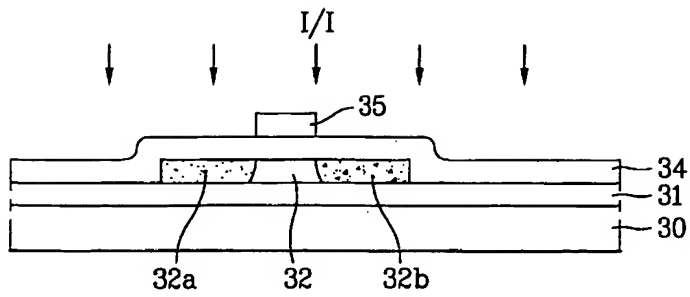
【도 4】



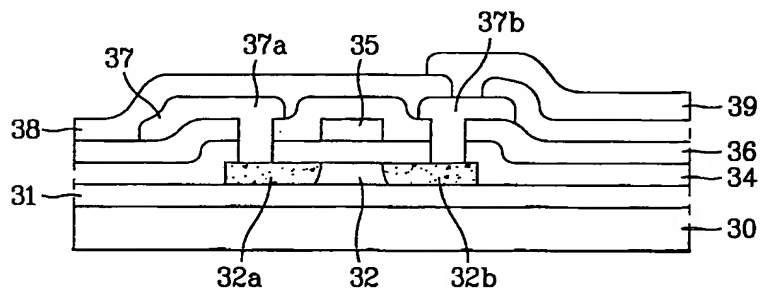
【도 5a】



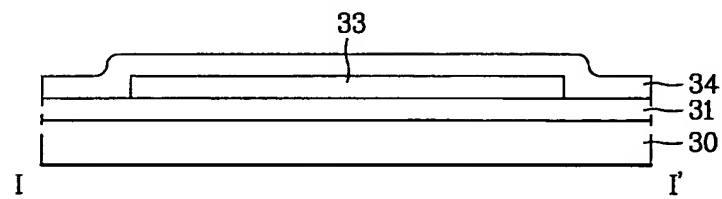
【도 5b】



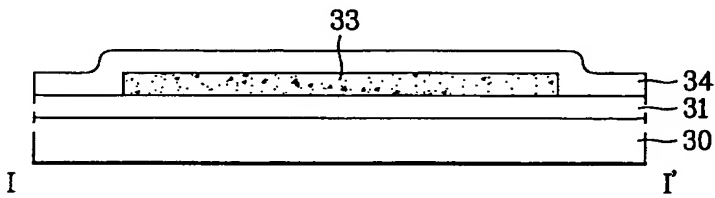
【도 5c】



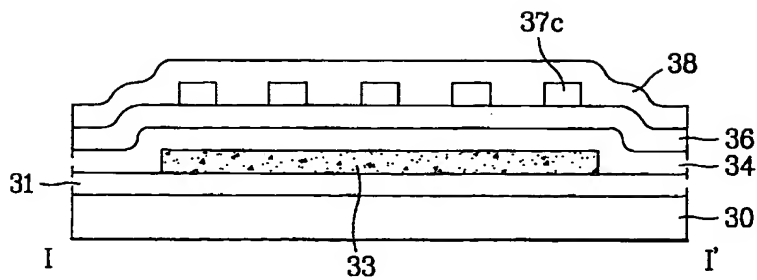
【도 6a】



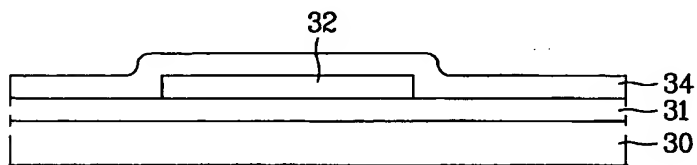
【도 6b】



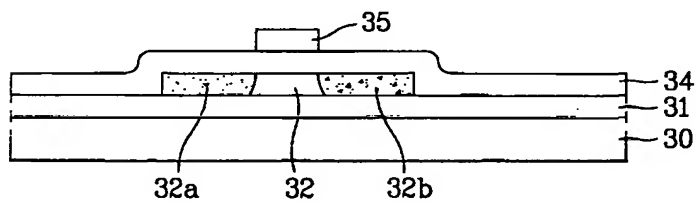
【도 6c】



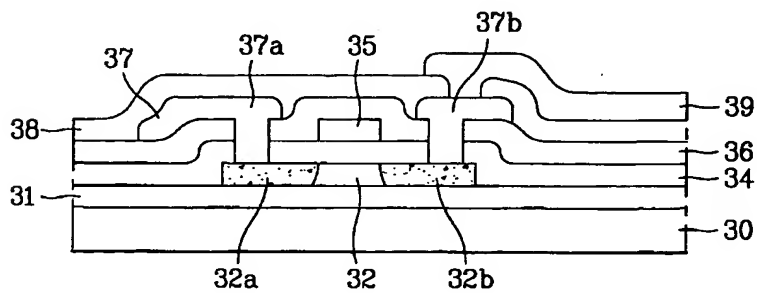
【도 7a】



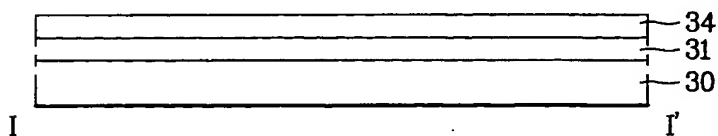
【도 7b】



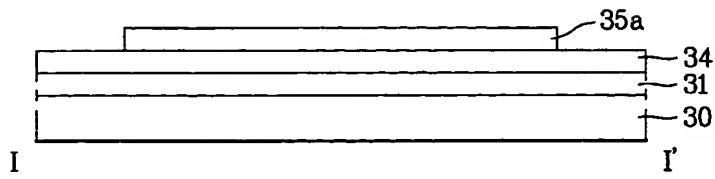
【도 7c】



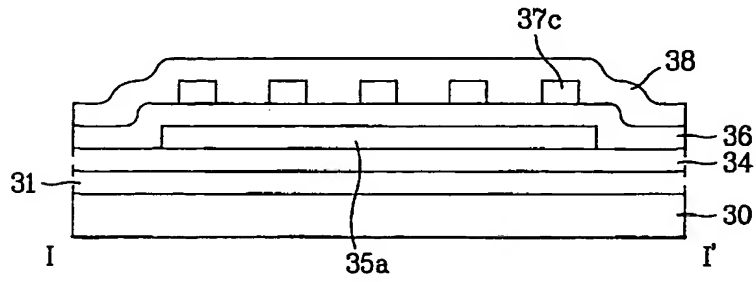
【도 8a】



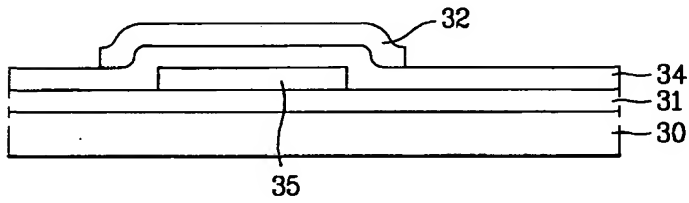
【도 8b】



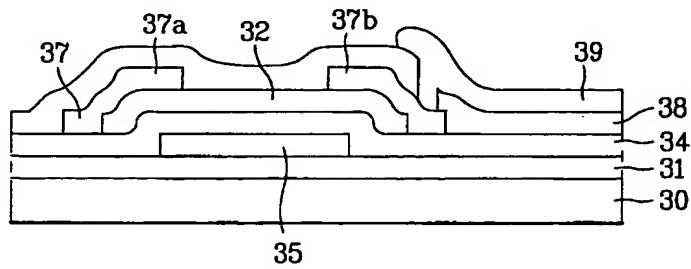
【도 8c】



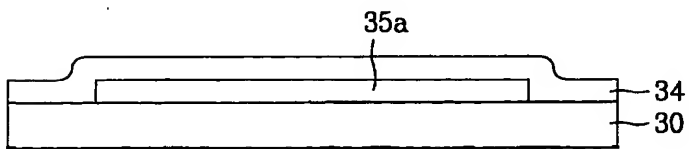
【도 9a】



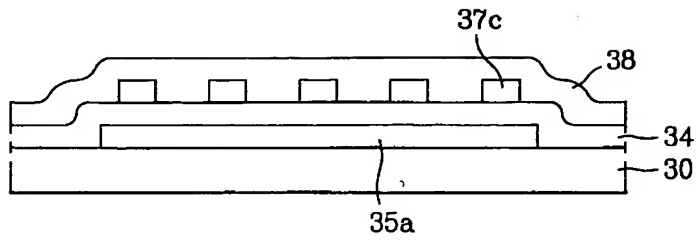
【도 9b】



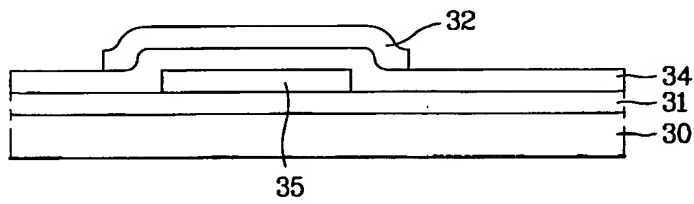
【도 10a】



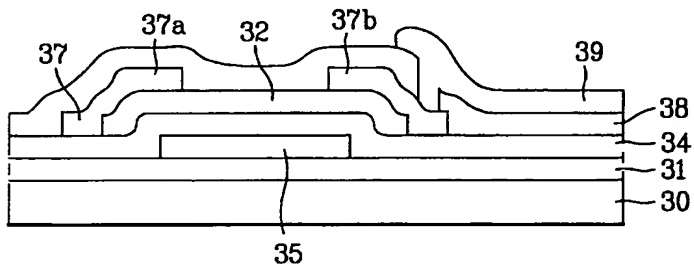
【도 10b】



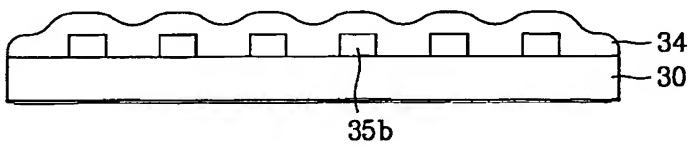
【도 11a】



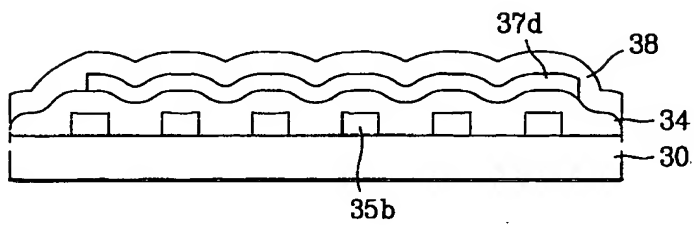
【도 11b】



【도 12a】



【도 12b】



【도 13】

